

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-109530

(P2001-109530A)

(43) 公開日 平成13年4月20日 (2001.4.20)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

G 0 5 F 3/18

G 0 5 F 3/18

5 G 0 6 5

H 0 2 J 1/00

3 0 6

H 0 2 J 1/00

3 0 6 B

5 H 4 2 0

審査請求 未請求 請求項の数 8 O L (全 11 頁)

(21) 出願番号

特願平11-283730

(22) 出願日

平成11年10月5日 (1999.10.5)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72) 発明者 今 健夫

東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(74) 代理人 100085811

弁理士 大日方 富雄

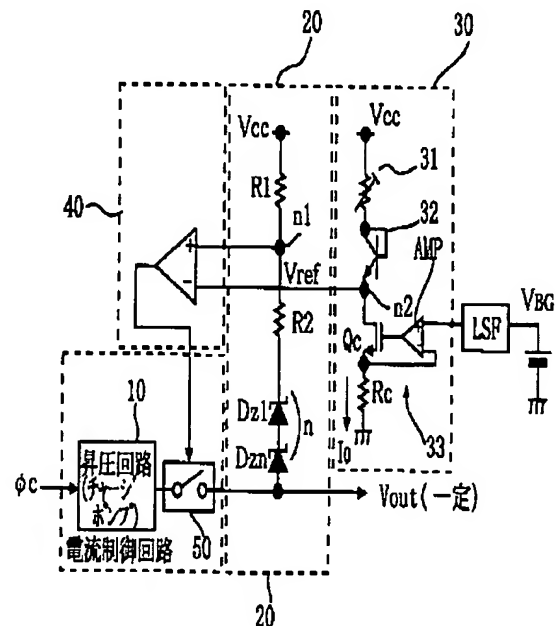
最終頁に続く

(54) 【発明の名称】 定電圧発生回路および不揮発性メモリ並びに半導体集積回路

(57) 【要約】

【課題】 温度変化、電源変動あるいは製造ばらつきにかかわらず一定の電圧を発生可能な定電圧発生回路を提供する。

【解決手段】 基準となる電圧を発生する参照電圧発生回路 (30) と、抵抗と該抵抗と直列に接続されたツェナーダイオード (Dz1~Dzn) とからなる電流電圧変換回路 (20) と、該電流電圧変換回路に流す電流を制御可能な電流制御手段 (50) と、電流電圧変換回路で変換された電圧と参照電圧発生回路からの参照電圧とを比較して上記電流制御手段を制御する電圧比較回路 (40) とからなり、上記ツェナーダイオードと、参照電圧と比較された上記電流電圧変換回路の抵抗での降圧電圧によりクランプされた定電圧を発生させるようにした定電圧発生回路において、上記参照電圧発生回路を、可変抵抗と該可変抵抗手段に直列に接続され上記ツェナーダイオードの温度特性を自己の温度特性によって補償可能な電圧発生手段 (32) および該電圧発生手段に電流を流す定電流回路 (33) で構成した。



【特許請求の範囲】

【請求項1】 基準となる電圧を発生する参照電圧発生回路と、抵抗と該抵抗と直列に接続されたツェナーダイオードとからなる電流電圧変換回路と、該電流電圧変換回路に流す電流を制御可能な電流制御手段と、電流電圧変換回路で変換された電圧と参照電圧発生回路からの参照電圧とを比較して上記電流制御手段を制御する電圧比較回路とからなり、上記ツェナーダイオードを含む上記電流電圧変換回路によりクランプされた定電圧を発生させるようにした定電圧発生回路であって、上記参照電圧発生回路は可変抵抗手段と該可変抵抗手段に直列に接続され上記ツェナーダイオードの温度特性を自己の温度特性によって補償可能な電圧発生手段および該電圧発生手段に電流を流す定電流回路とから構成されてなることを特徴とする定電圧発生回路。

【請求項2】 上記電流電圧変換回路が直列形態の複数個のツェナーダイオードを有する場合に、上記参照電圧発生回路には上記電流電圧変換回路のツェナーダイオードと同数の電圧発生手段が上記可変抵抗手段と直列に接続されていることを特徴とする請求項1に記載の定電圧発生回路。

【請求項3】 上記電流電圧変換回路が直列形態の $n$ 個（ $n$ は正の整数）のツェナーダイオードを有する場合に、該ツェナーダイオードと直列に2以上の抵抗素子を接続してそれらの抵抗素子の抵抗分割で $1/n$ に分割した電圧を上記電圧比較回路に供給するように構成したことを特徴とする請求項1に記載の定電圧発生回路。

【請求項4】 上記参照電圧発生回路の上記定電流回路は、定電圧が制御端子に印加されたトランジスタと、該トランジスタと直列に接続された抵抗素子とから構成されていることを特徴とする請求項3に記載の定電圧発生回路。

【請求項5】 上記参照電圧発生回路の上記可変抵抗手段は、直列形態の複数個の分割抵抗と、各分割抵抗とそれぞれ並列に接続され制御信号が制御端子に印加された複数のトランジスタとから構成されていることを特徴とする請求項1、2、3または4に記載の定電圧発生回路。

【請求項6】 請求項1、2、3または4に記載の定電圧発生回路を、記憶素子に印加する書込み電圧または消去電圧を発生する回路として内蔵することを特徴とする不揮発性メモリ。

【請求項7】 請求項6に記載の不揮発性メモリと、該不揮発性メモリを制御して書込みおよび読出し動作を行なわせるメモリ制御回路と、上記不揮発性メモリに対して動作状態を制御する制御信号を形成するシステム制御回路とを内蔵してなることを特徴とする半導体集積回路。

【請求項8】 請求項7に記載の半導体集積回路もしくは請求項6に記載の不揮発性メモリと該不揮発性メモリ

を制御して書込みおよび読出し動作を行なわせるメモリ制御回路と、上記不揮発性メモリに対して動作状態を制御する制御信号を形成するシステム制御回路とが1つの絶縁基板に搭載されてなることを特徴とするシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、定電圧発生回路さらには温度変化や電源変動、製造ばらつきにかかわらず一定の電圧を発生可能な定電圧発生回路に関し、例えば電氣的に書込み消去可能な不揮発性半導体メモリにおける書込み電圧、消去電圧を発生する定電圧発生回路に利用して有効な技術に関する。

【0002】

【従来の技術】 近年、内蔵メモリとして不揮発性メモリを有するマイクロコンピュータが提供されている。不揮発性メモリは電源を遮断しても記憶内容が保持されるため、不揮発性メモリを内蔵したマイクロコンピュータは低消費電力が要求される携帯電話等にとって極めて有効である。

【0003】 不揮発性メモリは、書込みや消去の際に通常のLSIの電源電圧に比べて高い電圧や負電圧を必要とするため、チップ内部にチャージポンプ回路などの昇圧回路や定電圧発生回路からなる内部電源回路を有することが多い。

【0004】 一方、不揮発性メモリは、フローティングゲートを有するMOSFETなどからなる記憶素子に書込み電圧や消去電圧を印加してそのしきい値を変化させることで情報の記憶を行なう。しかも、記憶素子のしきい値の変化は予め定められた電圧範囲内に入るように精度良く行なう必要があるため、不揮発性メモリにおける書込み動作は、SRAMやDRAMなどの揮発性メモリに比べてかなり長いミリ秒オーダーの時間（例えば10ms等）をかけて行なうようにされていた。

【0005】

【発明が解決しようとする課題】 そのため、不揮発性メモリにおける書込み、消去時間の短縮はこれを内蔵するマイクロコンピュータやICカードなどのシステムの高速化、スループットの向上にとって極めて重要である。さらに、不揮発性メモリにおける書込み、消去時間の短縮を図る上で、書込み電圧や消去電圧の精度の向上が重要であり、製造ばらつきや温度変化、電源変動にかかわらず一定の電圧を発生する定電圧発生回路が望まれている。

【0006】 図11に、本発明者らによって検討された定電圧発生回路の一例が示されている。同図の定電圧発生回路は、直列接続された2個のツェナーダイオード $Dz1$ 、 $Dz2$ および電流制御用MOSトランジスタ $Qcr$ と、上記電流制御用MOSトランジスタのゲート電圧を発生する電圧供給回路とからなり、チャージポンプなどの昇圧回路10の出力端子に上記ツェナーダイオード

Dz1, Dz2を接続して、昇圧回路より発生される負電圧をツェナーダイオードDz1, Dz2の逆方向電圧でクランプするようにしたものである。

【0007】この定電圧発生回路は、昇圧回路10によりツェナーダイオードDz1, Dz2から引き抜かれる電流をMOSトランジスタQcrによって制限するとともに、電圧供給回路に印加する制御信号C1～C5を制御することで、電圧供給回路から出力される電圧つまりはトランジスタQcrのゲートバイアス電圧を変えて出力電圧Voutのレベルを調整できるようにものである。

【0008】しかしながら、上記のような形式の定電圧発生回路にあっては、温度変化や電源電圧の変動によってツェナーダイオードDz1, Dz2に流れる電流が変化して出力電圧が変化してしまうとともに、製造ばらつきにより電圧供給回路を構成する回路素子の特性が別々に変化するため、出力電圧値の正確な設定が困難であるという問題点があることが明らかとなった。

【0009】この発明の目的は、温度変化にかかわらず一定の電圧を発生可能な定電圧発生回路を提供することにある。

【0010】この発明の他の目的は、電源変動にかかわらず一定の電圧を発生可能な定電圧発生回路を提供することにある。

【0011】この発明のさらに他の目的は、製造ばらつきにかかわらず一定の電圧を発生可能な定電圧発生回路を提供することにある。

【0012】この発明の目的は、書込み消去時間を短縮可能な不揮発性メモリを提供することにある。

【0013】この発明の目的は、不揮発性メモリを内蔵したマイクロコンピュータ等の半導体集積回路あるいはICカードのようなシステムの高速度、スループットの向上を可能にする技術を提供することにある。

【0014】この発明の前記ならびにほかの目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0016】すなわち、基準となる電圧を発生する参照電圧発生回路と、抵抗と該抵抗と直列に接続されたツェナーダイオードとからなる電流電圧変換回路と、該電流電圧変換回路に流す電流を制御可能な電流制御手段と、電流電圧変換回路で変換された電圧と参照電圧発生回路からの参照電圧とを比較して上記電流制御手段を制御する電圧比較回路とからなり、上記ツェナーダイオードを含む上記電流電圧変換回路によりクランプされた定電圧を発生させるようにした定電圧発生回路であって、上記参照電圧発生回路は可変抵抗手段と該可変抵抗手段に直

列に接続され上記ツェナーダイオードの温度特性を自己の温度特性によって補償可能な電圧発生手段および該電圧発生手段に電流を流す定電流回路とから構成したものである。

【0017】上記した手段によれば、ツェナーダイオードの温度特性が電圧発生手段の温度特性によって補償されるため、温度変動にかかわらず安定した定電圧を発生することができる。しかも、可変抵抗手段の抵抗値を設定することで任意の定電圧を発生させることができる。

【0018】また、上記電流電圧変換回路が直列形態の複数個のツェナーダイオードを有する場合には、上記参照電圧発生回路には上記電流電圧変換回路のツェナーダイオードと同数の電圧発生手段を上記可変抵抗と直列に接続するとよい。これにより、比較的簡単にツェナーダイオードの温度特性を電圧発生手段の温度特性によって補償して、温度変動にかかわらず安定した定電圧を発生させることができる。

【0019】あるいは、上記電流電圧変換回路が直列形態のn個（nは正の整数）のツェナーダイオードを有する場合に、該ツェナーダイオードと直列に2以上の抵抗素子を接続してそれらの抵抗素子の抵抗分割で $1/n$ に分割した電圧を上記電圧比較回路に供給するように構成するとよい。これにより、1つの電圧発生手段で、ツェナーダイオードの温度特性を該電圧発生手段の温度特性によって補償して、温度変動にかかわらず安定した定電圧を発生させることができる。

【0020】さらに、上記参照電圧発生回路の上記定電流回路は、定電圧が制御端子に印加されたトランジスタと、該トランジスタと直列に接続された抵抗素子とから構成するとよい。これにより、電流電圧変換回路と参照電圧発生回路とがそれぞれ同じように2組の抵抗を有する構成になるため、製造ばらつきで抵抗値がばらついていても、電流電圧変換回路と参照電圧発生回路から電圧比較回路にそれぞれ供給される電圧が同じように変化するもので、電圧比較回路に対して同相の変化となって相殺し合い、製造ばらつきにかかわらず安定した定電圧を発生させることができる。

【0021】また、上記参照電圧発生回路の上記可変抵抗手段は、直列形態の複数個の分割抵抗と、各分割抵抗とそれぞれ並列に接続され制御信号が制御端子に印加された複数のトランジスタとから構成することができる。これによって、回路が完成した後に制御信号によって発生する定電圧を調整もしくは変更することができる。

【0022】本発明に係る定電圧発生回路は、例えば書込み電圧や消去電圧の発生回路として不揮発性メモリに内蔵させると良い。かかる不揮発性メモリにあっては、発生される電圧の精度が高くなるため、書込み時間や消去時間が短くなる。

【0023】また、本発明に係る定電圧発生回路を書込み電圧や消去電圧の発生回路として有する不揮発性メモ

りを、マイクロコンピュータのような半導体集積回路に内蔵させる。かかる半導体集積回路にあっては、発生される電圧の精度が高くなるため、書込み時間や消去時間が短くなり、高速動作が可能になる。

【0024】さらに、本発明に係る定電圧発生回路を書込み電圧や消去電圧の発生回路として有する不揮発性メモリもしくはそれを内蔵したマイクロコンピュータのような半導体集積回路を、1つの絶縁基板上に搭載してICカードのようなシステムを構成する。かかるシステムにあっては、発生される電圧の精度が高くなるため、書込み時間や消去時間が短くなり、システムのスループットが向上する。

【0025】

【発明の実施の形態】以下、本発明の好適な実施例を図面に基づいて説明する。図1には、本発明に係る定電圧発生回路の一実施例が示されている。

【0026】この実施例の定電圧発生回路は、チャージポンプなどからなる昇圧回路10と、電源電圧端子Vccと出力端子との間に直列に接続された抵抗R1、R2およびn段のツェナーダイオードDz1～Dznからなる電流電圧変換回路20と、発生する電圧のレベルを設定可能な参照電圧発生回路30と、設定された参照電圧Vrefと上記電流電圧変換回路で変換された電圧（抵抗R1とR2の接続ノードn1の電位）とを比較する電圧比較回路40、上記昇圧回路10と出力端子との間に接続され上記電圧比較回路40の出力によってオン、オフ制御されて上記昇圧回路10により電流電圧変換回路20から引き抜かれる電流を制御するスイッチ手段50とから構成されている。

【0027】このうち、参照電圧発生回路30は、電源電圧端子Vccと接地端子との間に直列に接続された可変抵抗手段31とバイポーラトランジスタ32と定電流回路33とからなり、上記バイポーラ・トランジスタ32はそのベースとコレクタが結合され電圧発生手段（ダイオード）として機能するように構成され、このトランジスタ32のエミッタ電圧すなわちバイポーラトランジスタ32と定電流回路33との接続ノードn2の電位が参照電圧Vrefとして後段の電圧比較回路40に供給されている。また、定電流回路33は、直列形態のMOSFET Qcと抵抗RcおよびQcのゲート端子をバイアスして一定の電流を流すバイアス回路34とから構成されている。

【0028】さらに、上記バイアス回路34は、図示しないバンドギャップリファランス回路のような電源電圧依存性のない基準電圧発生回路で発生された約1.2Vのような基準電圧Vbgを0.6Vのような電圧にレベルシフトして出力するレベルシフト回路LSFと、該レベルシフト回路LSFの出力電圧が反転入力端子（+）に印加され、上記定電流用MOSFET Qcのソース電圧が非反転入力端子（-）にフィードバックされたオ

ペアンプAMPとからなる。

【0029】そして、このオペアンプAMPの出力電圧が上記定電流用MOSFET Qcのゲートにバイアス電圧として印加されることにより、MOSFET Qcはそのソース電圧がオペアンプAMPの反転入力端子の入力電位と同一の約0.6Vのような電位となるようにバイアスされて、上記定電流用MOSFET Qcに安定した定電流Ioを流すように構成されている。さらに、この定電流Ioが上記直列形態の可変抵抗31とダイオード接続のバイポーラ・トランジスタ32に流されることにより、トランジスタ32とMOSFET Qcの接続ノードn2に、電流Ioの値と可変抵抗31の抵抗値とバイポーラ・トランジスタ32のベース・エミッタ間電圧によって決まる一定の電圧Vrefが発生される。

【0030】この実施例の定電圧発生回路は、上記参照電圧発生回路30で発生された参照電圧Vrefと電流電圧変換回路20のノードn1の電位とを電圧比較回路40で比較して、ノードn1の電位が参照電圧Vrefよりも高い間は比較回路40の出力がハイレベルとなってスイッチ手段50をオンさせて昇圧回路10によって電流電圧変換回路20に引き抜き電流を流す。また、電流電圧変換回路20のノードn1の電位が参照電圧Vrefよりも低くなると比較回路40の出力がロウレベルとなってスイッチ手段50をオフさせて昇圧回路10による電流電圧変換回路20からの引き抜き電流を遮断する。

【0031】このようなフィードバック動作によって、実施例の定電圧発生回路は、電流電圧変換回路20のツェナーダイオードDz1～Dznの逆方向電圧（約6V）と抵抗R1、R2に流れる電流による電圧降下によって、例えばツェナーダイオードが2個のときには電源電圧Vccよりも12～13V低い負の出力電圧Voutを、またツェナーダイオードが3個のときには電源電圧Vccよりも17～18V低い負の出力電圧Voutを出力する。そして、この出力電圧Voutのレベルは、後述のように、参照電圧発生回路30の可変抵抗31の抵抗値を調整することである範囲内で任意に設定することができるようになっている。ここで、上記出力電圧Voutは、ツェナーダイオードDz1～Dznの各々のツェナー電圧をVz、抵抗R1、可変抵抗31における電圧降下をVr1、Vr31、バイポーラ・トランジスタ32のベース・エミッタ間電圧をVBEとおくと、次式

$$V_{out} = V_{cc} - (nV_z + V_{r1} + V_{BE} + V_{r31})$$
で表わされる一定の電位となる。

【0032】また、この実施例の定電圧発生回路においては、上記電流電圧変換回路20を構成する直列形態の抵抗R1とR2の値が、これらの抵抗R1、R2と直列に接続されたツェナーダイオードDz1～Dznの数を

nとすると、 $(R1 + R2) / R1 \equiv n$ となるように設定されている。これにより、n個のツェナーダイオードDz1～Dznの温度特性によるノードn1の電位変動が、1個のバイポーラ・トランジスタ32の温度特性によるノードn2の電位変動により相殺されて、温度変動にかかわらず安定して電圧Voutが出力されるようになっている。

【0033】すなわち、この実施例の定電圧発生回路は、周囲温度の変化による抵抗R1と可変抵抗31の特性変化に関しては電圧比較回路40の入力に対して同相の温度変動となるので出力に与える影響は少なくなるとともに抵抗の温度係数はツェナーダイオードやトランジスタの温度係数に比べるとかなり小さい。従って、ノードn1の電圧はもっぱらツェナーダイオードDz1～Dznの温度特性によって正の温度特性を有し、ノードn2の電圧はバイポーラ・トランジスタ32の温度特性によって負の温度特性を有することとなる。そして、この実施例では、ノードn1の電圧に対するツェナーダイオードDz1～Dznの温度特性の影響は、抵抗R1、R2によって $R1 / (R1 + R2)$ に減じられる。つまり、周囲温度が $\delta T$ だけ変動したときの出力電圧の変化率を $\delta Vout / \delta T$ 、ツェナーダイオードDz1～Dznの各々の温度係数を $\delta Vz / \delta T$ 、バイポーラ・トランジスタ32の温度係数を $\delta VBE / \delta T$ とすると、 $\delta Vout / \delta T = n (\delta Vz / \delta T) * R1 / (R1 + R2) + \delta VBE / \delta T$ で表わされることとなる。

【0034】ここで、ツェナーダイオードの温度係数 $\delta Vz / \delta T$ とバイポーラ・トランジスタの温度係数 $\delta VBE / \delta T$ はほぼ逆の特性すなわち $\delta Vz / \delta T = -\delta VBE / \delta T$ とみなせるので、 $n * R1 / (R1 + R2) = 1$ のとき、出力電圧の変化率 $\delta Vout / \delta T$ が0となることが分かる。しかして、この実施例では、上述したように、抵抗R1とR2の値は $(R1 + R2) / R1 \equiv n$ となるように設定されている。そのため、 $\delta Vout / \delta T = 0$ となり、出力電圧Voutは温度変動にかかわらず一定、つまり温度依存性を有しないようになる。

【0035】なお、抵抗R1とR2の値は、 $(R1 + R2) / R1 = n$ ではなく、 $(R1 + R2) / R1 \equiv n$ に設定するとしているのは、ツェナーダイオードDz1～Dznの温度係数 $\delta Vz / \delta T$ とバイポーラ・トランジスタ32の温度係数 $\delta VBE / \delta T$ は全く等しいわけではないので、その違い等を考慮して抵抗R1とR2を補正した抵抗比とするためである。ちなみに、ツェナーダイオードDz1～Dznの数が2個( $n=2$ )のときは $R1 \equiv R2$ 、3個( $n=3$ )のときは $R2 \equiv 2R1$ とされる。

【0036】さらに、この実施例の定電圧発生回路は、図1に示されているように、電圧比較回路40で比較される2つの電圧すなわち接続ノードn1と接続ノードn

2の両側にそれぞれ抵抗R1とR2、抵抗31とRcが接続されている。そのため、プロセスの製造ばらつきで抵抗の値がばらついたとしても、上記4つの抵抗は同じようにばらつく。つまり、1つの抵抗の値が高くなると他の抵抗の値も高くなり、1つの抵抗の値が低くなると他の抵抗の値も低くなる。その結果、抵抗の製造ばらつきがあったとしても抵抗R1とR2の比で決まるノードn1の電位と、抵抗31とRcの比で決まるノードn2の電位は比較的一定となる。同様に、電源電圧Vccが変動した場合にも、その変動によるノードn1の電位とノードn2の電位の変動は、抵抗R1、R2と、抵抗31、Rcの抵抗比によりそれぞれその変化量が減じられるため電源電圧変動に対しても安定した定電圧Voutを出力することができる。これより、抵抗R1、R2の抵抗比と、抵抗31、Rcの抵抗比は互いに近い値とするのが望ましい。

【0037】この実施例の定電圧発生回路は、抵抗31の値を変えることができるように構成されている。以下、図3を用いて抵抗値が可変に構成された抵抗31の具体例を説明する。

【0038】図3に示されているように、上記抵抗31は複数の分割抵抗VR1～VRmにより構成され、各分割抵抗VR1～VRmと並行にそれぞれゲート端子に制御信号C1～Cmが印加されるMOSFET Qv1～Qvmが設けられた構成としている。

【0039】上記可変抵抗31は、各分割抵抗VR1～VRmと並行に接続されたMOSFET Qv1～Qvmがそのゲート端子に印加された制御信号C1～Cmによってオフ状態にされると対応する分割抵抗が有効化され、Qv1～Qvmがオン状態にされると対応する分割抵抗の両端子間が短絡された状態とされてその分割抵抗は無効化される。

【0040】上記制御信号C1～Cmは、定電圧発生回路から出力される電圧のレベル等を測定して、出力電圧が所望のレベルとなるように有効化させる分割抵抗VR1～VRmを決定して、それに対応したMOSFET Qv1～Qvmをオンさせるように決める。また、特に制限されるものでないが、上記制御信号C1～Cmは、所望の制御信号を出力するように設定されるレジスタあるいは不揮発性記憶素子を含む設定回路から与えられるように構成される。所望の制御信号を出力するように設定されるレジスタあるいは不揮発性記憶素子を含む設定回路を設ける代わりに、それらの信号の入力を決定するヒューズ素子を設けるようにしてもよい。

【0041】上記のようにして、有効化された分割抵抗によって可変抵抗31全体としての抵抗値が設定されることにより、参照電圧発生回路30により発生される参照電圧Vrefのレベルが任意に設定され、それが電圧比較回路40に供給されて電流電圧変換回路20の電圧と比較され、その出力でスイッチ手段50が制御されて

参照電圧 $V_{ref}$ に応じた定電圧 $V_{out}$ が出力されることとなる。また、各抵抗の抵抗値（シート抵抗）のばらつきは抵抗 $R_1$ 、 $R_2$ の抵抗比、抵抗 $3_1$ 、 $R_c$ の抵抗比の調整により、温度依存性や電源電圧依存性が補償されて安定した定電圧 $V_{out}$ が出力されるようになる。

【0042】なお、図3の実施例においては、ベースとコレクタが結合されダイオードとして作用する $x$ 個のバイポーラ・トランジスタ $T_{r1} \sim T_{rx}$ が並列に設けられているとともに、トランジスタの数つまり $x$ を多くしたり少なくしたりすることで、エミッタ電流を調整できるようにされている。

【0043】また、この実施例では、ダイオード接続のバイポーラ・トランジスタ $3_2$ を用いているが、トランジスタの代わりにPN接合ダイオードを用いることも可能である。ただし、その場合には、電源電圧端子 $V_{cc}$ とノード $n_2$ との間のダイオードと可変抵抗 $3_1$ との接続は図1と逆すなわち電源電圧端子 $V_{cc}$ 側にダイオードがくるようにする方が望ましい。図1のように、バイポーラ・トランジスタを用いる場合は、抵抗 $3_1$ とトランジスタ $3_2$ の関係は、どちらが電源電圧 $V_{cc}$ 側にあってもかまわない。さらに、図1の実施例の定電圧発生回路は、昇圧回路10がチップ外部に設けられた定電流源もしくは定電流回路である場合にも適用することができる。それによって安定した定電圧を出力させることができる。

【0044】図2には、本発明に係る定電圧発生回路の第2の実施例が示されている。図1の実施例の定電圧発生回路は負の定電圧を出力する実施例であるのに対し、図2の定電圧発生回路は正の定電圧を出力する実施例であり、図1の実施例とは電源電圧の関係が逆になっているのみで回路の構成は図1の実施例と同様であるので、同一もしくは同等の回路や素子には同一の符号を付して詳しい説明は省略する。

【0045】図4には、本発明に係る定電圧発生回路の第3の実施例が示されている。この実施例は、ツェナーダイオードが2個である場合に、抵抗 $R_1$ と $R_2$ の抵抗比でツェナーダイオードの温度依存性を参照電圧発生回路 $3_0$ の1個のバイポーラ・トランジスタ $3_2$ の温度依存性によって相殺する代わりに、参照電圧発生回路 $3_0$ に直列形態の2個のバイポーラ・トランジスタを設けることで、ツェナーダイオードの温度依存性を2個のバイポーラ・トランジスタ $3_2a$ 、 $3_2b$ の温度依存性によって相殺するようにしたものである。ツェナーダイオードの温度特性はバイポーラ・トランジスタのベース・エミッタ間のPN接合ダイオードの温度特性に近いので、図4のような構成にすることによっても温度変動による出力電圧の変動を少なくすることができる。

【0046】図5には、本発明に係る定電圧発生回路の第4の実施例が示されている。図4の実施例の定電圧発

生回路は負の定電圧を出力する実施例であるのに対し、図5の定電圧発生回路は正の定電圧を出力する実施例であり、図4の実施例とは電源電圧の関係が逆になっているのみで回路の構成は図4の実施例と同様であるので、同一もしくは同等の回路や素子には同一の符号を付して詳しい説明は省略する。

【0047】図6には、本発明に係る定電圧発生回路の第5の実施例が示されている。この実施例は、図1における電圧比較回路40において、コンパレータCOMPの次段に、出力がロウレベルからハイレベルへ変化するときのしきい値電圧よりも出力がハイレベルからロウレベルへ変化するときのしきい値電圧が低くなるように設定されたシュミット回路のような出力信号がヒステリシス特性を有する回路60を設けたものである。これによって、例えば電源ノイズ等によって電圧比較回路40の出力が変化してスイッチ手段50が不必要にオン、オフ動作されるのを回避することができる。

【0048】図7には、本発明に係る定電圧発生回路の第6の実施例が示されている。第1～第5の実施例においては、昇圧回路10と電流電圧変換回路20との間にスイッチ手段50を設けているのに対し、図7の実施例は発振回路OSCから昇圧回路としてのチャージポンプ10に供給されるクロック信号 $\phi_c$ を供給したり遮断したりするANDゲートGTを設けたものである。クロック信号 $\phi_c$ が遮断されると昇圧回路10は昇圧動作を停止し、電流電圧変換回路20から引き抜く電流が減少するので、ANDゲートGTは第1～第5の実施例におけるスイッチ手段50と同様な働きをすることになる。また、特に制限されるものでないが、この実施例では定電圧発生回路と同一チップ上にクロック信号 $\phi_c$ を発生する発振回路OSCが設けられている。

【0049】なお、この実施例におけるANDゲートGTの代わりに第1～第5の実施例におけるのと同様なスイッチ手段（例えばMOSFET）を用いて昇圧回路へのクロックの供給を制御するようにしても良いし、第1～第5の実施例において、昇圧回路10と電流電圧変換回路20との間にスイッチ手段50を設ける代わりに、昇圧回路10の前段にクロック信号 $\phi_c$ を供給したり遮断したりするANDゲートGを設けるようにしても良い。

【0050】図8には、本発明に係る定電圧発生回路を書込み電圧や消去電圧の発生回路として適用した不揮発性メモリの一例として、電氣的に書込み、消去可能なEEPROM（エレクトリカル・イレーサブル・プログラマブル・リード・オンリ・メモリ）の概略構成が示されている。図8において、11はフローティングゲートを有するMOSFETからなる不揮発性記憶素子としてのメモリセルがマトリックス状に配置されたメモリアレイ、12はI/Oバッファ13を介して外部から入力された書込みデータに基づいて上記メモリアレイ11に対



して書込みや消去を行なう書込み・消去回路である。

【0051】また、14はI/Oバッファ13を介して外部から入力されたアドレス信号を保持するアドレスレジスタ、15はメモリアレイ11内のワード線の中から上記アドレスレジスタ14に取り込まれたXアドレスに対応した1本のワード線を選択するXデコーダ、16はアドレスレジスタ14に取り込まれたYアドレスをデコードしてYアドレスに対応したデータ線を選択するYデコーダ、17はメモリセルアレイ11より読み出されたデータを増幅して出力するセンスアンプである。

【0052】さらに、この実施例のフラッシュメモリ回路には、上記各回路ブロックの他、外部からのチップ選択信号CSや読出し書込み制御信号R/Wなどの制御信号をメモリ内部の各回路ブロックへの制御信号に変換する制御回路18、外部から供給される電源電圧Vccに基づいて書込み電圧、消去電圧、読出し電圧、ベリファイ電圧等チップ内部で必要とされる電圧を生成する電源回路70、メモリの動作状態（モード）に応じてこれらの電圧の中から所望の電圧を選択して書込み・消去回路12やXデコーダ15、Yデコーダ16等に供給する電源切替回路71等が設けられている。

【0053】図1～図7を用いて説明した本発明に係る定電圧発生回路は、書込み電圧や消去電圧の発生回路として上記電源回路70内に設けられる。本発明に係る定電圧発生回路を書込み電圧や消去電圧の発生回路として有する不揮発性メモリにあっては、発生される電圧の精度が高くなるため、書込み時間や消去時間が短くなるという利点がある。

【0054】図9には、上記不揮発性メモリを内蔵した半導体集積回路の一例としてのマイクロコンピュータの概略構成が示されている。

【0055】図9において、NVMは、図8に示されているような構成を有する不揮発性メモリ回路、CNTは該メモリ回路NVMに対する書込みや消去、読出し（ベリファイ読出しを含む）等の制御を行なうメモリ制御回路（メモリコントローラ）、CPUはプログラムの命令を解釈し各種演算やデータ処理を行なう中央処理ユニット、RAMはデータを一時記憶したり中央処理ユニットCPUの作業領域を提供する高速のランダムアクセスメモリ、BUSは上記中央処理装置CPUとメモリ回路NVM、メモリコントローラCNT、高速メモリRAM間を接続するバス、BSCはこのバスの占有権の制御等を行なうシステム制御回路としてのバスコントローラである。このシステムでは、上記不揮発性メモリNVMはCPUが実行するプログラムやプログラムで使用される固定データを格納したりするために使用される。

【0056】また、特に制限されないが、例えば図1の定電圧発生回路を構成する参照電圧発生回路30において発生電圧すなわち可変抵抗31の抵抗値を設定するために供給される制御信号C1～Cmは、メモリコントロ

ーラCNT内に設けられたコントロールレジスタCTR等から不揮発性メモリNVM内に設けられた電源回路70内の定電圧発生回路に対して与えられるように構成される。本発明に係る定電圧発生回路を書込み電圧や消去電圧の発生回路として有する不揮発性メモリを内蔵したマイクロコンピュータのような半導体集積回路にあっては、発生される電圧の精度が高くなるため、書込み時間や消去時間が短くなり、高速動作が可能になるという利点がある。

【0057】なお、図9には示されていないが、シングルチップマイコンのようなマイクロコンピュータの場合には、上記回路ブロックの他に、内部のメモリと外部のメモリ等との間のDMA（ダイレクトメモリアクセス）転送を制御するDMA転送制御回路や、CPUに対する割込み要求の発生および優先度を判定して割り込みをかける割込み制御回路、外部装置との間でシリアル通信を行なうシリアルコミュニケーションインタフェース回路、各種タイマ回路、アナログ信号とディジタル信号の変換を行なうA/D変換回路、システム監視用のウォッチドッグタイマ、システムの動作に必要なクロック信号を発生する発振器等が必要に応じて設けられる。

【0058】図10は、不揮発性メモリを使用したシステムの一例としてのICカード（メモリカード）の構成例を示す。この実施例のICカードは、特に制限されないが、n個の不揮発性メモリチップFM1～FMnと、外部とのインタフェースおよびバスの切換え、アドレス信号や制御信号に基づいて各メモリチップに対する選択信号の形成、ECCコードの生成、チェック等の機能を有するコントローラチップCONT、外部から供給されるコマンドに基づいて不揮発性メモリチップに対する書込み、読出し制御などを行なうマイクロプロセッサCPUとがプリント配線基板100上に搭載され、全体が樹脂等によりモールドされて構成される。

【0059】上記コントローラチップCONTは、基板100上に形成されたアドレス&コントロールバス111およびデータバス112を介して上記不揮発性メモリチップFM1～FMnに接続されるとともに、外部のパーソナルコンピュータ本体などのカードスロットに挿入される外部端子114に接続され、不揮発性メモリチップFM1～FMnに対するアクセスはコントローラチップCONTを介して行なわれるように構成されている。マイクロプロセッサCPUからメモリチップFM1～FMnに制御信号を供給するようにしてもよい。

【0060】また、この実施例では、特に制限されないが、本発明に係る定電圧発生回路は、書込み電圧Vwや読出し電圧Vr、消去電圧Ve、書込みベリファイ電圧Vwv、消去ベリファイ電圧Vevなどを発生する電源回路として上記コントローラチップCONT内に設けられ、発生された電源電圧は電源ライン群113を介して各不揮発性メモリチップFM1～FMnに供給されるように

構成されている。116は、上記コントローラチップCONTおよび不揮発性メモリチップFM1～FMnに供給される電源電圧Vccが印加される外部電源端子、117は接地電位が印加される外部接地端子である。

【0061】なお、上記コントローラチップCONTの機能は1個ないし数個の半導体チップで構成されてもよいが、1つのゲートアレイで構成されても良い。また、コントローラチップCONTとマイクロプロセッサCPUからメモリチップFM1～FMnとを基板上に搭載する代わりに図9のようなマイクロコンピュータチップを搭載したICカードも可能である。

【0062】本発明に係る定電圧発生回路を書込み電圧や消去電圧の発生回路として有する不揮発性メモリもしくはそれを内蔵したマイクロコンピュータのような半導体集積回路が1つの絶縁基板上に搭載されてなるICカードのようなシステムにあっては、発生される電圧の精度が高くなるため、書込み時間や消去時間が短くなり、システムのスループットが向上するという利点がある。

【0063】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例では、EEPROMおよびそれを内蔵した半導体集積回路について説明したが、この発明はそれに限定されず、フラッシュメモリおよびそれを内蔵した半導体集積回路においても同様に適用することができる。

【0064】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である不揮発性メモリに内蔵される定電圧発生回路に適用した場合について説明したが、この発明はそれに限定されるものではなく、定電圧ないしは基準電圧を発生する定電圧発生用の半導体集積回路や定電圧発生回路を内蔵する半導体集積回路に広く利用することができる。

【0065】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0066】すなわち、この発明に従うと、温度変化にかかわらず一定の電圧を発生可能な定電圧発生回路が得られる。また、電源変動にかかわらず一定の電圧を発生可能な定電圧発生回路が得られる。さらに、製造ばらつきにかかわらず一定の電圧を発生可能な定電圧発生回路が得られる。

【0067】また、本発明の定電圧発生回路を書込み電圧や消去電圧の発生回路として不揮発性メモリに内蔵させた場合には、書込み消去時間を短縮することができるようになる。さらに、本発明の定電圧発生回路を書込み電圧や消去電圧の発生回路として有する不揮発性メモリを内蔵したマイクロコンピュータ等の半導体集積回路あ

るいはICカードのようなシステムにおいては、高速化、スループットの向上を達成することができるという効果がある。

【図面の簡単な説明】

【図1】本発明に係る定電圧発生回路の一実施例を示す回路構成図である。

【図2】本発明に係る定電圧発生回路の他の実施例を示す回路構成図である。

【図3】図1の定電圧発生回路のより具体的な構成例を示す回路図である。

【図4】本発明に係る定電圧発生回路の第3の実施例を示す回路構成図である。

【図5】本発明に係る定電圧発生回路の第4の実施例を示す回路構成図である。

【図6】本発明に係る定電圧発生回路の変形例を示す回路構成図である。

【図7】本発明に係る定電圧発生回路の他の変形例を示す回路構成図である。

【図8】本発明に係る定電圧発生回路を書込み電圧や消去電圧を発生する回路として内蔵した不揮発性メモリの構成例を示すブロック図である。

【図9】本発明に係る定電圧発生回路を適用した不揮発性メモリを内蔵した半導体集積回路の一例としてのマイクロコンピュータの一例の概略構成を示す全体ブロック図である。

【図10】本発明に係る定電圧発生回路を適用した不揮発性メモリを内蔵したICカードの一例を示すブロック図である。

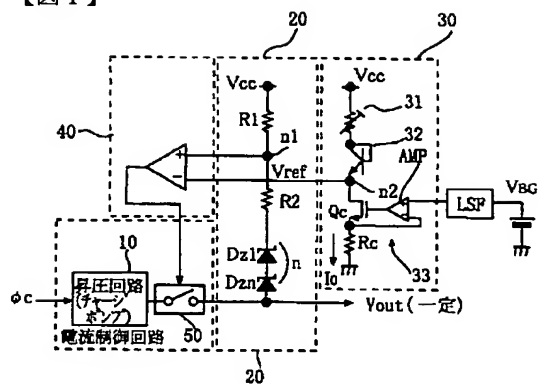
【図11】本発明に先立って検討した定電圧発生回路の一例を示す回路構成図である。

【符号の説明】

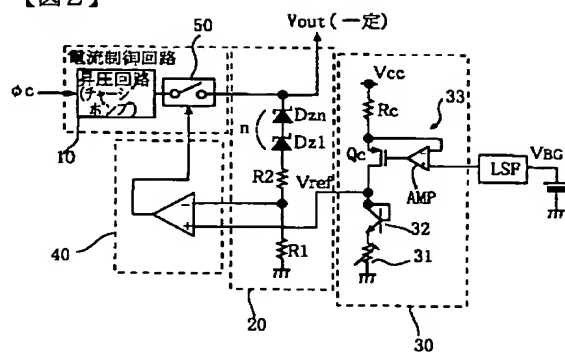
- 11 メモリアレイ
- 12 書込み・消去回路
- 13 I/Oバッファ
- 14 アドレスレジスタ
- 15 行デコーダ
- 16 列デコーダ
- 17 センスアンプ
- 18 制御回路
- 70 電源回路
- 71 電源切替え回路
- 10 昇圧回路
- 20 電流電圧変換回路
- 30 参照電圧発生回路
- 32 電圧発生手段
- 33 定電流回路
- 40 電圧比較回路
- 50 電流制御手段



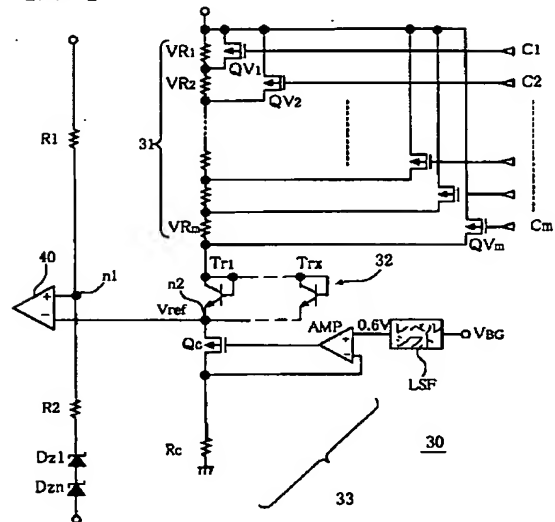
【図1】



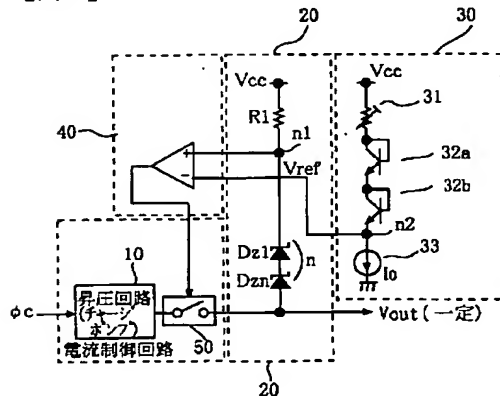
【図2】



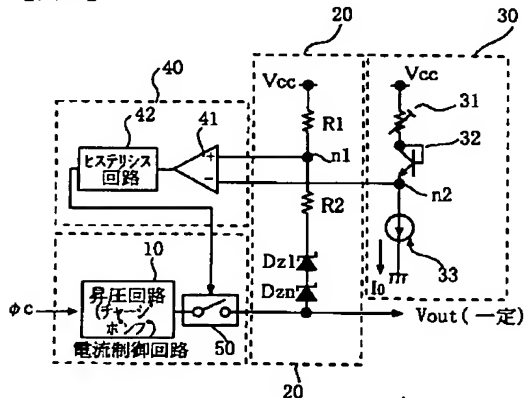
【図3】



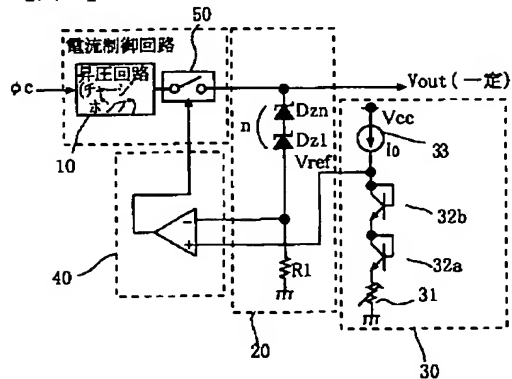
【図4】



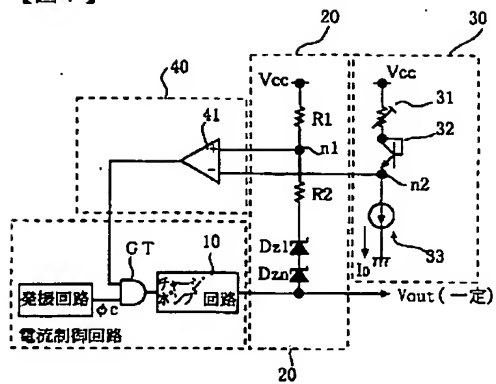
【図6】



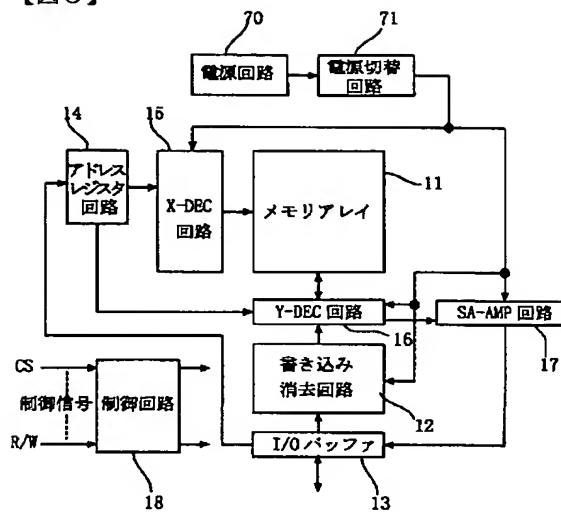
【図5】



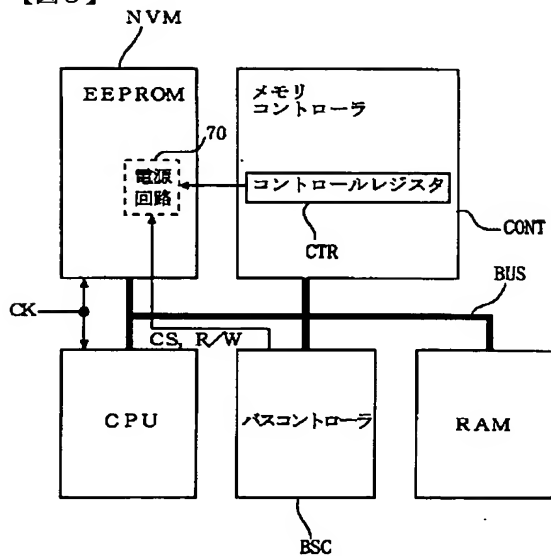
【図7】



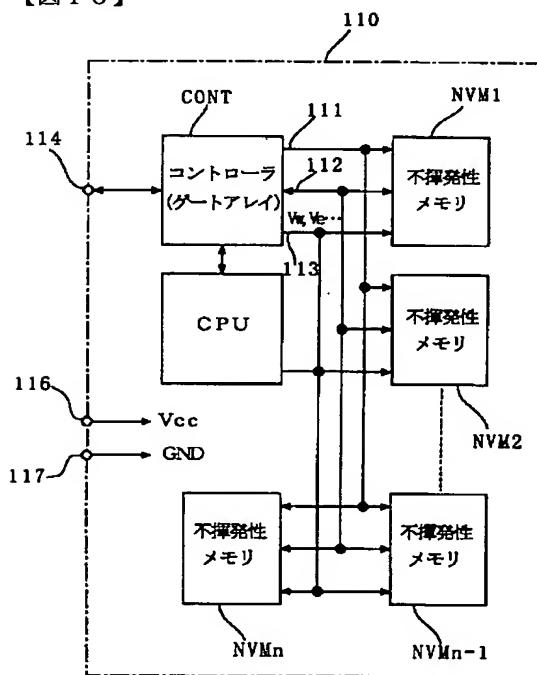
【図8】



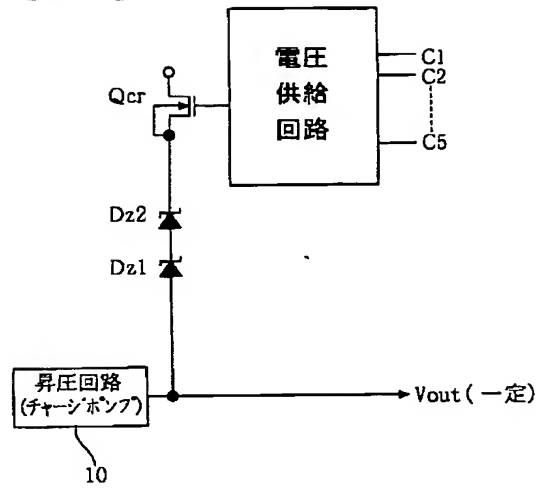
【図9】



【図10】



【図11】



フロントページの続き

(72)発明者 山本 師久  
東京都小平市上水本町5丁目22番1号 株  
式会社日立超エル・エス・アイ・システム  
ズ内

(72)発明者 金井 健男  
東京都小平市上水本町5丁目22番1号 株  
式会社日立超エル・エス・アイ・システム  
ズ内

Fターム(参考) 5G065 AA00 EA01 GA06 HA04 JA01  
LA01 MA09 NA02 NA04 NA07  
5H420 NA03 NA31 NB02 NB35 NC03  
NC18 NC26 NC31 NE23